

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-304133
 (43)Date of publication of application : 13. 11. 1998

(51)Int. Cl. H04N 1/028
 H04N 5/335

(21)Application number : 09-111395 (71)Applicant : FUJI PHOTO FILM CO LTD
 (22)Date of filing : 28. 04. 1997 (72)Inventor : KURANISHI HIDEAKI

(54) CORRELATIVE DOUBLE SAMPLING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To easily constitute a balanced signal transmission part for the output of the correlative double sampling circuit.

SOLUTION: After an output capacitor 57 constituting an pixel output part 36p of a CCD linear image sensor is reset with a reset pulse Pr, a 1st sample holding circuit 81 samples and holds a noise voltage V1 resulting from electric charges remaining in the output capacitor 57. A 2nd sample holding circuit 82 samples and holds a noise and signal composite voltage V2 including a signal voltage due to electric charges transferred to the output capacitor 57 from a pixel transfer part corresponding to a transfer clock CKt and a noise voltage. Then 1st and 2nd differential amplifiers 111 and 112 calculate $S1 = V1 - V2 = -Vs$ and $S2 = V2 - V1 = Vs$ to obtain balanced signals S1 and S2.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-304133

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

H 0 4 N 1/028
5/335

識別記号

F I

H 0 4 N 1/028
5/335

A
P

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平9-111395
(22) 出願日 平成9年(1997)4月28日

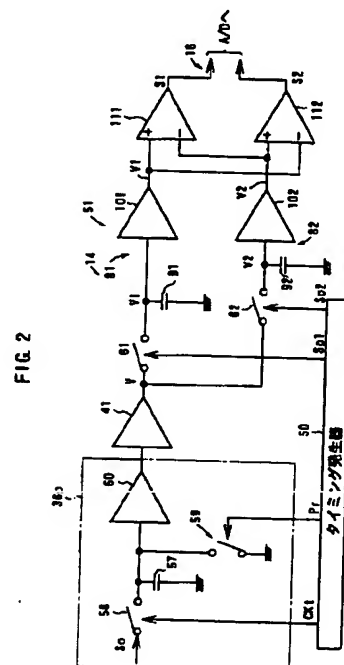
(71) 出願人 000005201
富士写真フイルム株式会社
神奈川県南足柄市中沼210番地
(72) 発明者 倉西 英明
神奈川県足柄上郡開成町宮台798番地 富士写真フイルム株式会社内
(74) 代理人 弁理士 千葉 剛宏 (外1名)

(54) 【発明の名称】 相関二重サンプリング回路

(57) 【要約】

【課題】相関二重サンプリング回路の出力の平衡信号送出部を簡易に構成する。

【解決手段】CCDリニアイメージセンサの画素出力部36pを構成する出力コンデンサ57をリセットパルスPrによりリセットした後、第1のサンプルホールド回路81により出力コンデンサ57に残存する電荷による雑音電圧V1をサンプルホールドする。転送クロックCKtに応じて画素転送部から出力コンデンサ57に転送されてきた電荷による信号電圧と雑音電圧を含む雑音・信号合成電圧V2を第2のサンプルホールド回路82によりサンプルホールドする。第1および第2の差動増幅器111、112により、各々 $S1 = V1 - V2 = V_s$ 、 $S2 = V2 - V1 = -V_s$ の演算をして平衡信号S1、S2を得る。



【特許請求の範囲】

【請求項1】CCDリニアイメージセンサを構成する出力電荷蓄積手段をリセットした後に前記出力電荷蓄積手段に残存する電荷による雑音電圧をサンプルホールドする第1のサンプルホールド回路と、

転送クロックにより前記出力電荷蓄積手段に転送されてきた電荷による信号電圧と前記雑音電圧を含む雑音・信号合成電圧をサンプルホールドする第2のサンプルホールド回路と、

前記第1のサンプルホールド回路の出力電圧が非反転入力端子に供給され、前記第2のサンプルホールド回路の出力電圧が反転入力端子に供給される第1の差動増幅器と、

前記第1のサンプルホールド回路の出力電圧が反転入力端子に供給され、前記第2のサンプルホールド回路の出力電圧が非反転入力端子に供給される第2の差動増幅器とを備え、

前記第1および第2の差動増幅器の各々の出力信号を平衡伝送するようにしたことを特徴とする相関二重サンプリング回路。

【請求項2】CCDリニアイメージセンサを構成する出力電荷蓄積手段をリセットした後に前記出力電荷蓄積手段に残存する電荷による雑音電圧をサンプルホールドする第1のサンプルホールド回路と、

転送クロックにより前記出力電荷蓄積手段に転送されてきた電荷による信号電圧と前記雑音電圧を含む雑音・信号合成電圧をサンプルホールドする第2のサンプルホールド回路と、

前記第1のサンプルホールド回路の出力電圧が反転入力端子に供給され、前記第2のサンプルホールド回路の出力電圧が非反転入力端子に供給される第1の差動増幅器と、

前記第1のサンプルホールド回路の出力電圧が非反転入力端子に供給され、前記第2のサンプルホールド回路の出力電圧が反転入力端子に供給される第2の差動増幅器とを備え、

前記第1および第2の差動増幅器の各々の出力信号を平衡伝送するようにしたことを特徴とする相関二重サンプリング回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば、画像読取装置に搭載されるCCDリニアイメージセンサに係る、いわゆるリセット雑音を除去するための相関二重サンプリング(CDS)回路に関し、一層詳細には、差動出力を有する相関二重サンプリング回路に関する。

【0002】

【従来の技術】画像読取装置は、例えば、原稿台上に載せられた原稿に照明光を照射することにより、前記原稿に担持された画像情報を含む光を、反射光または透過光

として集光光学系に導いた後、CCDリニアイメージセンサにより光電的に読み取るように構成されている。

【0003】この場合、CCDリニアイメージセンサにより原稿を主走査方向に読み取るとともに、前記原稿を前記主走査方向と略直交する副走査方向に相対的に搬送することで2次元的な画像情報を得ることができる。この画像情報は、アナログ信号であり、前記CCDリニアイメージセンサから出力される。

【0004】CCDリニアイメージセンサから出力されるアナログ信号には、いわゆるリセット雑音が存在し、このリセット雑音を除去するために、前記アナログ信号は、周知の相関二重サンプリング回路に供給される。

【0005】相関二重サンプリング回路によりリセット雑音の除去されたアナログ信号は、輪郭強調処理、階調変換処理等の画像信号処理の容易化のために、A/D変換器に供給され、そのA/D変換器により、一旦、デジタル信号に変換される。

【0006】

【発明が解決しようとする課題】ところで、画像読取装置等のCCDリニアイメージセンサが搭載される装置の実装配置上の要請から、通常、前記相関二重サンプリング回路と前記A/D変換器とは、離れた位置に配置される。

【0007】従来、相関二重サンプリング回路からA/D変換器までの画像信号の供給(伝送)は、不平衡信号で行われていた。

【0008】相関二重サンプリング回路とA/D変換器との間の距離が長い場合であっても、伝送される画像信号の分解能が低い場合には、その伝送中に外部雑音のレベルが問題となることが少ない。

【0009】しかしながら、高品質の画像を得る目的で、画像信号の分解能が高く設計されている場合には、外部雑音のレベルが問題となる。

【0010】一般に、離れた位置にアナログ信号を伝送する場合には、同相信号と逆相信号からなる平衡信号で伝送する、いわゆる差動伝送とすることが外部からの同相雑音等に対する影響を軽減できる点で好ましいとされている。

【0011】差動伝送とするために、本願発明者等は、図4に示すように、相関二重サンプリング回路の第1および第2のサンプルホールド回路の出力V1と出力V2からリセット雑音を除去するための減算増幅器2の出力側に、差動ドライバ4を配置する構成としていた。差動ドライバ4は、各々増幅度が値1の非反転増幅器6と反転増幅器8とから構成されている。これにより、減算増幅器2の出力側に現れるリセット雑音の除去された出力(信号)Vs($V_s = V_1 - V_2$)に対応する非反転出力(非反転増幅器6の出力:たとえば、同相信号)Vsと、反転出力(反転増幅器8の出力:したがって、逆相

信号) $-V_s$ とが発生され、平衡信号 V_s 、 $-V_s$ として図示しない伝送線路を通じてA/D変換器に供給される。

【0012】この発明は、このような技術に関連してなされたものであって、回路構成の簡素化された平衡信号出力回路を有する相関二重サンプリング回路を提供することを目的とする。

【0013】

【課題を解決するための手段】この発明は、CCDリニアイメージセンサを構成する出力電荷蓄積手段をリセットした後に前記出力電荷蓄積手段に残存する電荷による雑音電圧をサンプルホールドする第1のサンプルホールド回路と、転送クロックにより前記出力電荷蓄積手段に転送されてきた電荷による信号電圧と前記雑音電圧を含む雑音・信号合成電圧をサンプルホールドする第2のサンプルホールド回路と、前記第1のサンプルホールド回路の出力電圧が非反転入力端子に供給され、前記第2のサンプルホールド回路の出力電圧が反転入力端子に供給される第1の差動増幅器と、前記第1のサンプルホールド回路の出力電圧が反転入力端子に供給され、前記第2のサンプルホールド回路の出力電圧が非反転入力端子に供給される第2の差動増幅器とを備え、前記第1および第2の差動増幅器の各々の出力信号を平衡伝送するようにしたことを特徴とする。

【0014】この発明によれば、相関二重サンプリング回路を構成する第1および第2のサンプルホールド回路の出力側に接続した2つの差動増幅器により同相信号と逆相信号からなる2つの出力信号、すなわち平衡信号を得ることができる。

【0015】この場合、2つの差動増幅器の各々の非反転入力端子と反転入力端子に供給される第1および第2のサンプルホールド回路の出力電圧を入れ替えても同様の作用が得られる。

【0016】

【発明の実施の形態】以下、この発明の一実施の形態について図面を参照して説明する。

【0017】図1は、この発明の一実施の形態が適用されたカラー画像読取装置10の概略的構成を示している。

【0018】カラー画像読取装置10は、基本的には、画像読取部12と、平衡信号送出部14と、平衡信号伝送線路部16と、平衡信号受入部18と、A/D変換部20と、画像処理部22とから構成される。

【0019】画像読取部12には、画像情報が担持された原稿(透過原稿または反射原稿)Fが配置されている。原稿Fは、副走査方向Yとこれに直交する主走査方向(紙面と直交する方向)Xに広がりを持っており、2次元的なカラー画像情報が担持されている。原稿Fが透過原稿である場合には、主走査方向Xに延びる光源30が点灯され、画像情報を有する透過光Lが得られる。一

方、原稿Fが反射原稿である場合には、主走査方向Xに延びる光源31、32が点灯され、画像情報を有する反射光Lが得られる。

【0020】画像情報を有する光Lは、ズームレンズを含む結像光学系15を介し、3色分解プリズム34r、(rは赤色の意味)、34g(gは緑色の意味)、34b(bは青色の意味)を通じて、CCDリニアイメージセンサ(単に、イメージセンサともいう。)36r、36g、36b(代表して示すときには、符号を36とする。)に入射する。

【0021】イメージセンサ36は、周知のように、基本的には、主走査方向Xに多数の光電変換画素(単に、画素ともいう。)が直線状に連結された受光部と、この受光部に沿って両側に形成された奇数画素転送部と偶数画素転送部と、出力電荷蓄積手段としても機能するFDA(フローティング ディフュージョン アンプ)等の奇数画素出力部と偶数画素出力部とから構成されている。

【0022】したがって、図示しない搬送機構により副走査方向Yに搬送される原稿Fに対してイメージセンサ36r、36g、36bにより主走査方向Xに画素が電気的に主走査されることで、原稿Fに担持されたカラー画像を色分解して、2次元的に読み取ることができる。

【0023】イメージセンサ36r、36g、36bから各色毎に対応して出力される光電変換出力信号である奇数画素信号(画素信号、奇数画像信号または画像信号ともいう。)Soと偶数画素信号(画素信号、偶数画像信号または画像信号ともいう。)Seとが、バッファ増幅器41~46を介して、平衡信号送出部14を構成する相関二重サンプリング回路51~56に供給される。

【0024】図2は、平衡信号送出部14を構成する相関二重サンプリング回路51の詳細な回路構成とその周辺の回路構成を示している。

【0025】図2において、符号36pは、イメージセンサ36rを構成し、模式的に描いた奇数画素出力部(単に、画素出力部ともいう。)を示している。もちろん、イメージセンサ36を構成する全ての奇数画素出力部と偶数画素出力部は同一の構成である。

【0026】画素出力部36pは、FDAを模式的に表す電荷蓄積手段としての出力コンデンサ57を有している。図示していない奇数画素転送部から転送されてくる画素信号(実際上は、画像情報を有する光Lに応じた電荷)Soは、転送クロックCK_nによりオンオフされるゲートスイッチ58を介して出力コンデンサ57に電荷として蓄積され、かつバッファ増幅器60を介して出力される。出力コンデンサ57には、その出力コンデンサ57に蓄積された画素電荷を捨て去るための(放電するための)リセットパルスPrによりオンオフされるリセットゲートスイッチ59が並列に接続されている。出力コンデンサ57とリセットゲートスイッチ59の一端部

は基準電位に接続されている。

【0027】バッファ増幅器60の出力信号、換言すれば、イメージセンサ36pの出力信号は、バッファ増幅器41を介し出力信号（出力電圧または電圧ともいう。）Vとして、マルチプレクサであるスイッチ61、62の共通端子側に供給される。なお、この実施の形態においては簡単のために、バッファ増幅器60の出力信号の符号もVとする。

【0028】スイッチ61、62の固定端子側は、それぞれ、相関二重サンプリング回路51を構成する第1のサンプルホールド回路81と第2のサンプルホールド回路82に接続されている。スイッチ61、62は、タイミング発生器50から制御端子に供給されるサンプルホールドパルスSp1、Sp2によりオンオフされる。

【0029】第1のサンプルホールド回路81は、ホールドコンデンサ91とバッファ増幅器101と第1の差動増幅器111とから構成され、第2のサンプルホールド回路82は、ホールドコンデンサ92とバッファ増幅器102と第2の差動増幅器112とから構成されている。ホールドコンデンサ91、92の一端部は基準電位に接続されている。

【0030】バッファ増幅器101の出力（出力信号、出力電圧または単に電圧ともいう。）V1、すなわち、第1のサンプルホールド回路81の出力V1は、第1の差動増幅器111の非反転入力端子に接続されるとともに、第2の差動増幅器112の反転入力端子に接続される。一方、バッファ増幅器102の出力（出力信号、出力電圧または単に電圧ともいう。）V2、すなわち、第2のサンプルホールド回路82の出力V2は、第1の差動増幅器111の反転入力端子に接続されるとともに、第2の差動増幅器112の非反転入力端子に接続される。

【0031】第1および第2の差動増幅器111、112の出力信号S1、S2は、平衡信号伝送線路部16を介してA/D変換器131～136のある側のうち、平衡信号受入部18（図1参照）を構成する差動増幅器121に伝送される。

【0032】實際上、図1から明らかなように、平衡信号送出部14を構成する相関二重サンプリング回路51～56のそれぞれの出力平衡信号が、平衡信号伝送線路部16を構成する個々の平衡信号伝送線路を介して、平衡信号受入部18を構成する差動増幅器121～126のそれぞれに供給される。差動増幅器121～126のそれぞれの出力信号が各A/D変換器131～136に供給され、A/D変換器131～136によりデジタル信号とされる。

【0033】デジタル信号とされた画像信号は、画像処理部22に供給される。画像処理部22では、イメージセンサ36を構成する画素の感度ばらつき補正処理、欠陥画素補正処理、主走査収差倍率補正処理、階調変換処

理、その他、輪郭強調処理等の各種画像処理が行われる。

【0034】画像処理部22による画像処理後の画像信号は、例えば、アナログ信号に変換され、映像信号として図示しないCRTディスプレイに供給され、そのディスプレイ上に原稿Fに係る画像が再生される。また、前記アナログ信号は、フィルム走査出力部に供給され、フィルム上に前記原稿Fに係る画像が形成されて、例えば、印刷製版の利用に供される。

【0035】次に、上記実施の形態の要部の動作について、図3のタイミングチャートをも参照して説明する。

【0036】まず、図3Aに示す転送クロックCKの立ち下がり時点t1でゲートスイッチ58が閉状態から開状態にされた後、その時点t1から時点t2までの間でハイレベルとなるリセットパルスPr（図3B参照）が発生し、このリセットパルスPrによりリセットゲートスイッチ59が閉じられることで、出力コンデンサ57に蓄えられていた前の画素に係る電荷がリセットゲートスイッチ59を通じて基準電位に放電される。

【0037】次いで、リセットパルスPrがハイレベルからローレベルに遷移する時点t2において、リセットゲートスイッチ59が開状態とされる。この時点t2では、転送クロックCKはローレベルになっており、転送ゲートスイッチ58も開状態とされている。

【0038】時点t2～時点t3の間で第1のサンプルホールドパルスSp1（図3C参照）がハイレベルとされ、この期間t2～t3において、スイッチ61が閉じられる。この期間t2～t3において、他の全てのスイッチ58、59、62は開かれている。したがって、この期間t2～t3において、出力コンデンサ57に蓄えられている電荷、いわゆるリセット雑音に基づく電荷による電圧が電圧V1（図3E、図3F参照）として、ホールドコンデンサ91に蓄えられる。

【0039】次いで、時点t3でスイッチ61が開かれた後、時点t4において、転送クロックCKがローレベルからハイレベルに遷移して、転送ゲートスイッチ58が閉じられる。これにより、CCDリニアイメージセンサ36rの受光部、電荷転送部から送出されてきた画素信号Soが転送ゲートスイッチ58を介して転送され電荷として、出力コンデンサ57に蓄えられる。

【0040】同時に、その時点t4～時点t5の間で第2のサンプルホールドパルスSp2（図3D参照）がハイレベルとされ、この期間t4～t5において、スイッチ62が閉じられる。これにより、期間t4～t5において、出力コンデンサ57に蓄えられているリセット雑音に基づく電荷と信号電荷の合成電荷による電圧が電圧（雑音・信号合成電圧）V2（図3E、図3F参照）として、ホールドコンデンサ92に蓄えられる。

【0041】そして、第2のサンプルホールドパルスSp2がハイレベルからローレベルに遷移してから転送ク

ロックCKtがハイレベルからローレベルに遷移するまでの時点t5～時点t6の間では、第1および第2の差動増幅器111、112において、それぞれ、次の

(1)式および(2)式に基づく差演算が行われ、第1および第2の差動増幅器111、112の出力にリセット雑音にもとづく電圧V1が取り除かれた信号分のみの差信号S1、S2(図3G参照)が得られる。

【0042】

$$S1 = V1 - V2 = V_s \quad \dots (1)$$

$$S2 = V2 - V1 = -V_s \quad \dots (2)$$

この場合、差信号S1は、出力コンデンサ57に蓄えられる電圧V2の位相に対して逆相信号であり、差信号S2は、同相信号である。

【0043】この同相信号S2と逆相信号S1とは、平衡信号S1、S2として平衡信号伝送線路部16を通じて平衡信号受入部18を構成する差動増幅器121に伝送される。平衡信号S1、S2として伝送しているの、たとえ、平衡信号伝送線路部16において同相で雑音信号がのった場合においても、差動増幅器121による同相信号除去作用によりその同相雑音信号は除去される。

【0044】このように上述した実施の形態によれば、CCDリニアイメージセンサ36r、36g、36bの各画素出力部36pを構成する出力コンデンサ57をリセットパルスPrによりリセットした後、出力コンデンサ57に残存する電荷による雑音電圧V1を第1のサンプルホールド回路81によりサンプルホールドする。また、転送クロックCKtに応じて画素転送部から出力コンデンサ57に転送されてきた電荷による信号電圧と雑音電圧を含む雑音・信号合成電圧V2を第2のサンプルホールド回路82によりサンプルホールドする。そして、第1および第2の差動増幅器111、112により、各々 $S1 = V1 - V2 = V_s$ 、 $S2 = V2 - V1 = -V_s$ を演算することで、平衡信号 $S1 = V_s$ 、 $S2 = -V_s$ を得る。

【0045】このように、この実施の形態によれば、図4に示す、減算増幅器2と非反転増幅器6と反転増幅器8の3つの集積回路(IC)により構成される平衡信号発生器を2つのICで代替することができる。この場合、図1に示すように、カラー画像読取装置10では、通常、6チャンネル分の相関二重サンプリング回路51～56が必要となるので、6つのICを削除することができるという顕著な効果を達成する。

【0046】なお、この発明は、上述の実施の形態に限らず、この発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

【0047】

【発明の効果】以上説明したように、この発明によれば、相関二重サンプリング回路を構成する第1および第2のサンプルホールド回路の出力側に2つの差動増幅器

を接続することにより、その2つの差動増幅器から、リセット雑音等の除去されたCCDリニアイメージセンサを構成する各画素の信号成分のみからなる同相信号と逆相信号、すなわち平衡信号を得ることができる。

【0048】そして、平衡信号を伝送することで、外部雑音の影響の少ない伝送系を構成することができる。

【0049】さらにこの発明の効果を具体的に説明すると、相関二重サンプリング回路から画素信号成分について、同相信号成分と逆相信号成分とからなる平衡信号で送出しようとする場合、減算増幅器に接続される非反転増幅器と反転増幅器との3つの増幅器で構成しなければならなかったのに対して、2つの差動増幅器で同相信号成分と逆相信号成分とからなる平衡信号を送出することが可能となった。

【図面の簡単な説明】

【図1】この発明の一実施の形態が適用されたカラー画像読取装置の概略的構成を示す回路ブロック図である。

【図2】図1例中、相関二重サンプリング回路の詳細な構成を含む回路図である。

【図3】図2例の動作説明に供されるタイミングチャートであり、図3Aは、転送クロックの波形、図3Bは、リセットパルスの波形、図3Cは、第1のサンプルホールドパルスの波形、図3Dは、第2のサンプルホールドパルスの波形、図3Eは、イメージセンサの出力電圧の波形、図3Fは、リセット雑音電圧と雑音の信号合成電圧の波形、図3Gは、差信号の波形を示している。

【図4】相関二重サンプリング回路の出力回路例を示す回路図である。

【符号の説明】

10…カラー画像読取装置	12…画像読取部
14…平衡信号送出处	15…結像光学系
16…平衡信号伝送線路部	18…平衡信号受入部
20…A/D変換部	22…画像処理部
30～32…光源	
36、36r、36g、36b…CCDリニアイメージセンサ	
36p…画素出力部	
41～46、60、101、102…バッファ増幅器	
50…タイミング発生器	51～56…相関二重サンプリング回路
57…出力コンデンサ	58、59、6
1、62…スイッチ	
81…第1のサンプルホールド回路	82…第2のサンプルホールド回路
91、92…ホールドコンデンサ	121～126…差動増幅器
131～136…A/D変換器	
CKt…転送クロック	Pr…リセットパルス

【图1】

【図3】

